

# 高速 USB 转接芯片 CH346

手册

版本：1.1

<https://wch.cn>

## 1、概述

CH346 是一款高速 USB 2.0 总线转接芯片，提供高速 USB 转被动并口、高速 USB 转被动 SPI 接口、高速 USB 转双异步串口三种功能模式。

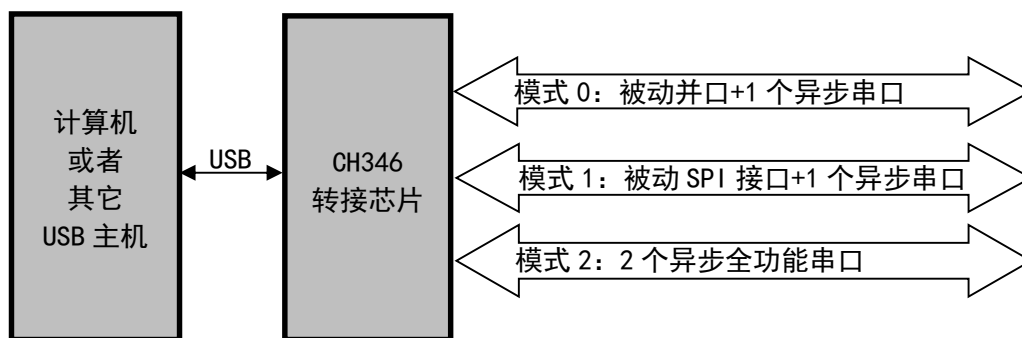
在 USB 转被动并口 (FIFO) 模式下，CH346 提供了被动并口，该接口接收并口主机发送的数据包并通过 USB 上传计算机或其它 USB 主机，同时接收 USB 下传的数据包并通过被动并口由并口主机读取。该模式下，还提供了 1 个 3 线异步串口。

在 USB 转被动 SPI 接口模式下，CH346 提供了被动 SPI 接口，该接口接收 SPI 主机发送的数据包并通过 USB 上传计算机或其它 USB 主机，同时接收 USB 下传的数据包并通过被动 SPI 接口由 SPI 主机读取。该模式下，还提供了 1 个全功能异步串口。

在 USB 转双异步串口 UART0/1 模式下，CH346 提供了 2 个高速全功能串口，支持 RS485 串口收发使能控制、硬件流控和常用的 MODEM 联络信号，用于为计算机扩展异步串口，或者将普通的串口设备或者 MCU 直接升级到 USB 总线。

下图为 CH346 的系统框图。

图 1-1 系统框图



## 2、特点

### 2.1 概述

- 480Mbps 高速 USB 2.0 设备接口。
- 内置 EEPROM，可配置工作模式、芯片 VID、PID、最大电流值、厂商和产品信息字符串等参数。
- 支持 5V 或 3.3V 供电。
- I/O 独立供电，支持 3.3V、2.5V、1.8V 和 1.2V 电源电压。
- 提供 QFN26C3 无铅封装，兼容 RoHS。
- 多种工作模式，适应高速 USB 转接应用需求。

### 2.2 被动并口

- 工作在从机模式，相当于 USB 并口 FIFO。
- 提供 4 根控制线 (CS、RD、WR、AO)、8 根数据线 (D0-D7) 和 2 根数据流控线 (RDNE、WRNF)。
- 支持数据流控功能。
- 通过计算机 API 配合，可实现外围并口和 USB 接口之间的双向数据高速透传功能。

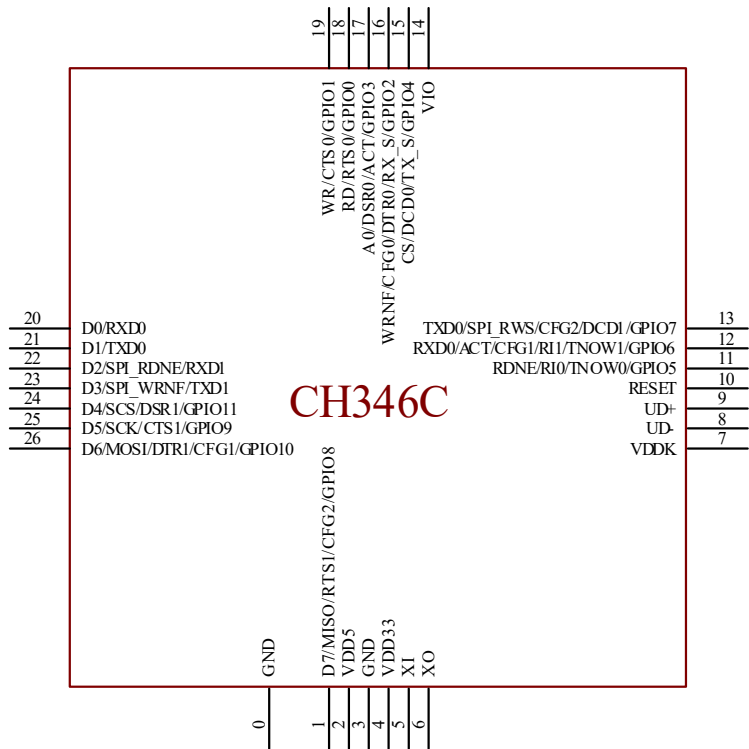
### 2.3 被动 SPI 接口

- 工作在 Slave SPI 从机模式。
- 提供 4 根信号线(SCS、SCK/CLK、MOSI/SDI、MISO/SDO)和 3 根数据控制线(SPI\_RDNE、SPI\_WRNF、SPI\_RWS)。
- 支持数据流控功能。
- 通过计算机 API 配合，可实现外围 SPI 接口和 USB 接口之间的双向数据高速透传功能。

### 2.4 异步串口

- 内置固件，仿真标准串口，用于升级原串口外围设备，或者通过 USB 增加额外串口。
- 计算机端 Windows 操作系统下的串口应用程序完全兼容，无需修改。
- 支持免安装的操作系统内置 CDC 类驱动程序或者多功能高速率的 VCP 厂商驱动程序。
- 硬件全双工串口，内置独立的收发缓冲区，支持通讯波特率 110bps~15Mbps。
- 串口支持 5/6/7/8 个数据位，支持奇校验、偶校验、标志位、空白位以及无校验。
- 每个串口内置 8192 字节的接收 FIFO，4096 字节的发送 FIFO。
- 支持常用的 MODEM 联络信号 RTS、DTR、DCD、RI、DSR、CTS。
- 支持 CTS 和 RTS 硬件自动流控。
- 支持半双工，提供串口正在发送状态指示 TNOW，可用于控制 RS485 收发切换。
- 支持最多 12 路 GPIO 输入输出功能。
- 通过外加电平转换器件，支持 RS232、RS485、RS422 等接口。

## 3、引脚排列



封装形式	塑体尺寸	引脚节距		封装说明	订货型号
QFN26C3	3*3mm	0.4mm	15.7mil	WCH 四边无引线 26 脚	CH346C

注：1、USB 收发器按 USB 2.0 全内置设计，UD+和 UD-引脚不能串接电阻，否则影响信号质量。  
2、0#引脚是 QFN 封装的底板，是必要连接。

## 4、引脚定义

### 4.1 一般说明

CH346 芯片具有三种工作模式，同一引脚在不同工作模式下的功能和定义可能不同。在上电复位或外部复位时，芯片检测配置引脚的状态自动配置工作模式。

### 4.2 CH346 引脚

标准的公共引脚

引脚号	引脚名称	类型	引脚说明
2	VDD5	P	正电源输入端，需要外接至少 3.3 $\mu$ F 对地电容。
0、3	GND	P	公共接地端，需要连接 USB 总线的地线。
4	VDD33	P	3.3V 正电源输入端，需要外接对地电容。 当 VDD5 电压小于 3.6V 时连接 VDD5 输入外部电源， 当 VDD5 电压大于 3.6V 时外接 0.1 $\mu$ F 并联至少 3.3 $\mu$ F 对地电容。
7	VDDK	P	内核电源，外接至少 0.1 $\mu$ F 对地电容，建议 1 $\mu$ F。
14	VIO	P	I/O 引脚电源输入，外供 3.3V、2.5V、1.8V 或 1.2V， 外接 0.1 $\mu$ F 或 1 $\mu$ F 对地电容。
5	XI	I	晶体振荡输入端。
6	XO	O	晶体振荡反相输出端。
10	RESET	I	外部复位输入端，低电平有效，内置上拉电阻。
9	UD+	USB	直接连到 USB 总线的 D+ 数据线，不能额外串接电阻。
8	UD-	USB	直接连到 USB 总线的 D- 数据线，不能额外串接电阻。

工作模式 0 (USB 转被动并口+1 个异步串口) 相关引脚

引脚号	引脚名称	类型	引脚说明
15	CS	I (FT)	被动并口片选引脚，低电平有效。
18	RD	I (FT)	被动并口读控制引脚，低电平有效。
19	WR	I (FT)	被动并口写控制引脚，低电平有效。
17	A0	I (FT)	被动并口命令/数据选择引脚。 数据输入时，低电平表示数据，高电平表示命令； 数据输出时，低电平表示数据，高电平表示状态。
20	D0	I/O (FT)	被动并口数据引脚 0。
21	D1	I/O (FT)	被动并口数据引脚 1。
22	D2	I/O (FT)	被动并口数据引脚 2。
23	D3	I/O (FT)	被动并口数据引脚 3。
24	D4	I/O (FT)	被动并口数据引脚 4。
25	D5	I/O (FT)	被动并口数据引脚 5。
26	D6	I/O (FT)	被动并口数据引脚 6。
1	D7	I/O (FT)	被动并口数据引脚 7。
11	RDNE	O	被动并口读数据 FIFO 非空状态输出。 低电平表示发送 FIFO 有数据可以读取； 高电平表示发送 FIFO 无数据可以读取。
16	WRNF/CFG0	O	被动并口写数据 FIFO 非满状态输出。 低电平表示接收 FIFO 有空间可以接收数据； 高电平表示接收 FIFO 无空间可以接收数据。

			CFG0: 上电期间, 如果该引脚检测到外接了下拉电阻, 则配置芯片工作在模式 2, 否则配置芯片工作在模式 0/1, 模式 0 和模式 1 则可通过驱动动态设置 (掉电不保存), 也可以通过 EEPROM 配置 (掉电保存)。
13	TXD0/RX_S/ SUSP/GPI07	I/O (FT)	该引脚为多功能复用引脚, 可通过驱动动态设置 (掉电不保存), 也可以通过 EEPROM 配置 (掉电保存)。 功能 0: UART0 的串行数据输出, 空闲态为高电平; 功能 1: 被动并口数据接收状态输出, 低电平有效; 功能 2: USB 挂起状态输出, 低电平有效, 正常工作状态输出高电平, 挂起后输出低电平; 功能 3: 通用 GPI07, 用于 I/O 口输入或输出。
12	RXD0/TX_S/ ACT/GPI06	I/O (FT)	该引脚为多功能复用引脚, 可通过驱动动态设置 (掉电不保存), 也可以通过 EEPROM 配置 (掉电保存)。 功能 0: UART0 的串行数据输入, 内置上拉电阻; 功能 1: 被动并口数据发送状态输出, 低电平有效; 功能 2: USB 配置完成状态输出, 低电平有效; 功能 3: 通用 GPI06, 用于 I/O 口输入或输出。

## 工作模式 1 (USB 转被动 SPI 接口+1 个异步串口) 相关引脚

引脚号	引脚名称	类型	引脚说明
24	SCS	I (FT)	4 线串行 SPI 接口的片选输入。
25	SCK	I (FT)	4 线串行 SPI 接口的时钟输入, 别名 DCK。
26	MOSI	I (FT)	4 线串行 SPI 接口的数据输入, 别名 SDI, 内置上拉电阻。
1	MISO	0	4 线串行 SPI 接口的数据输出, 别名 SD0。
22	SPI_RDNE	0	被动 SPI 接口读数据 FIFO 非空状态输出。 低电平表示发送 FIFO 有数据可以读取; 高电平表示发送 FIFO 无数据可以读取。
23	SPI_WRNF	0	被动 SPI 接口写数据 FIFO 非满状态输出。 低电平表示接收 FIFO 有空间可以接收数据; 高电平表示接收 FIFO 无空间可以接收数据。
21	TXD0	0	UART0 的串行数据输出, 空闲态为高电平。
20	RXD0	I (FT)	UART0 的串行数据输入, 内置上拉电阻。
18	RTS0/ GPI00	I/O (FT)	UART0 的 MODEM 输出信号, 请求发送, 低有效; 通用 GPI00, 用于 I/O 口输入或输出。 上电期间如果该引脚检测到外接了下拉电阻, 则禁用内部 EEPROM 中配置参数, 启用芯片自带默认参数。
19	CTS0/ GPI01	I/O (FT)	UART0 的 MODEM 输入信号, 清除发送, 低有效; 通用 GPI01, 用于 I/O 口输入或输出。
16	DTR0/RX_S/ GPI02/CFG0	I/O (FT)	该引脚为多功能复用引脚, 可通过驱动动态设置 (掉电不保存), 也可以通过 EEPROM 配置 (掉电保存)。 功能 0: UART0 的 MODEM 输出信号, 数据终端就绪, 低有效; 功能 1: 串口数据接收状态输出, 低电平有效; 功能 2: 通用 GPI02, 用于 I/O 口输入或输出。 CFG0: 上电期间, 如果该引脚检测到外接了下拉电阻, 则配置芯片工作在模式 2, 否则配置芯片工作在模式 0/1, 模式 0 和模式 1 则可通过驱动动态设置 (掉

			电不保存)，也可以通过 EEPROM 配置(掉电保存)。
17	DSR0/ GPIO3	I/O (FT)	UART0 的 MODEM 输入信号，数据装置就绪，低有效； 通用 GPIO3，用于 I/O 口输入或输出。
15	DCD0/TX_S/ GPIO4	I/O (FT)	该引脚为多功能复用引脚，可通过驱动动态设置(掉电不保存)，也可以通过 EEPROM 配置(掉电保存)。 功能 0：UART0 的 MODEM 输入信号，载波检测，低有效； 功能 1：串口数据发送状态输出，低电平有效； 功能 2：通用 GPIO4，用于 I/O 口输入或输出。
11	R10/TNOW0/ GPIO5	I/O	UART0 的 MODEM 输入信号，振铃指示，低有效； UART0 的 RS485 发送和接收控制引脚； 通用 GPIO5，用于 I/O 口输入或输出； 上电期间，如果该引脚检测到外接了下拉电阻，则切换为 TNOW0 功能。
12	ACT/CFG1/ GPIO6	I/O (FT)	USB 配置完成状态输出，低电平有效； 通用 GPIO6，用于 I/O 口输入或输出； CFG1：上电期间，如果该引脚检测到外接了下拉电阻，则串口 0 自动使能硬件流控功能。
13	SPI_RWS/ CFG2/ GPIO7	I/O (FT)	被动 SPI 接口数据读取或写入状态输入， 低电平表示当前为读取数据状态； 高电平表示当前为写入数据状态。 通用 GPIO7，用于 I/O 口输入或输出； CFG2：上电期间，如果该引脚检测到外接了下拉电阻，则将 R10/TNOW0 引脚配置成 TNOW0 功能，否则通过检测 R10/TNOW0 引脚在上电期间的电平配置 RI 功能和 TNOW 功能，高电平使能 RI 功能，低电平使能 TNOW 功能。

## 工作模式 2 (USB 转双全功能异步串口) 相关引脚

引脚号	引脚名称	类型	引脚说明
21	TXD0	0	UART0 的串行数据输出，空闲态为高电平。
20	RXD0	I (FT)	UART0 的串行数据输入，内置上拉电阻。
18	RTS0/ GPIO0	I/O (FT)	UART0 的 MODEM 输出信号，请求发送，低有效； 通用 GPIO0，用于 I/O 口输入或输出。 上电期间如果该引脚检测到外接了下拉电阻，则禁用内部 EEPROM 中配置参数，启用芯片自带默认参数。
19	CTS0/ GPIO1	I/O (FT)	UART0 的 MODEM 输入信号，清除发送，低有效； 通用 GPIO1，用于 I/O 口输入或输出。
16	DTR0/RX_S/ GPIO2/CFG0	I/O (FT)	该引脚为多功能复用引脚，可通过驱动动态设置(掉电不保存)，也可以通过 EEPROM 配置(掉电保存)。 功能 0：UART0 的 MODEM 输出信号，数据终端就绪，低有效； 功能 1：串口数据接收状态输出，低电平有效； 功能 2：通用 GPIO2，用于 I/O 口输出。 CFG0：上电期间，如果该引脚检测到外接了下拉电阻，则配置芯片工作在模式 2，否则配置芯片工作在模式 0/1，模式 0 和模式 1 则由驱动动态切换控制。
17	DSR0/ACT/	I/O (FT)	该引脚为多功能复用引脚，可通过驱动动态设置(掉

	GPIO3		电不保存)，也可以通过 EEPROM 配置(掉电保存)。 功能 0: UART0 的 MODEM 输入信号，载波检测，低有效； 功能 1: USB 配置完成状态输出，低电平有效； 功能 2: 通用 GPIO3，用于 I/O 口输入或输出。
15	DCD0/TX_S/ GPIO4	I/O (FT)	该引脚为多功能复用引脚，可通过驱动动态设置(掉电不保存)，也可以通过 EEPROM 配置(掉电保存)。 功能 0: UART0 的 MODEM 输入信号，载波检测，低有效； 功能 1: 串口数据发送状态输出，低电平有效； 功能 2: 通用 GPIO4，用于 I/O 口输入或输出。
11	R10/TNOW0/ GPIO5	I/O	UART0 的 MODEM 输入信号，振铃指示，低有效； UART0 的 RS485 发送和接收控制引脚； 通用 GPIO5，用于 I/O 口输入或输出； 上电期间，如果该引脚检测到外接了下拉电阻，则切换为 TNOW0 功能。
23	TXD1	0	UART1 的串行数据输出，空闲态为高电平。
22	RXD1	I (FT)	UART1 的串行数据输入，内置上拉电阻。
1	RTS1/CFG2 GPIO8	I/O (FT)	UART1 的 MODEM 输出信号，请求发送，低有效； 通用 GPIO8，用于 I/O 口输入或输出。 CFG2: 上电期间，如果该引脚检测到外接了下拉电阻，则将 R1x/TNOWx 引脚配置成 TNOWx 功能，否则通过检测 R1x/TNOWx 引脚在上电期间的电平配置 RI 功能和 TNOW 功能，高电平使能 RI 功能，低电平使能 TNOW 功能。
25	CTS1/ GPIO9	I/O (FT)	UART1 的 MODEM 输入信号，清除发送，低有效； 通用 GPIO9，用于 I/O 口输入或输出。
26	DTR1/CFG1/ GPIO10	I/O (FT)	UART1 的 MODEM 输出信号，数据终端就绪，低有效； 通用 GPIO10，用于 I/O 口输入或输出； CFG1: 上电期间，如果该引脚检测到外接了下拉电阻，则全部串口自动使能硬件流控功能。
24	DSR1/GPIO11	I/O (FT)	UART1 的 MODEM 输入信号，数据装置就绪，低有效； 通用 GPIO11，用于 I/O 口输入或输出。
13	DCD1/SUSP/ GPIO7	I/O (FT)	该引脚为多功能复用引脚，可通过驱动动态设置(掉电不保存)，也可以通过 EEPROM 配置(掉电保存)。 功能 0: UART1 的 MODEM 输入信号，载波检测，低有效； 功能 1: USB 挂起状态输出，低电平有效，正常工作状态输出高电平，挂起后输出低电平； 功能 2: 通用 GPIO4，用于 I/O 口输入或输出。
12	R11/TNOW1/ GPIO6	I/O (FT)	UART1 的 MODEM 输入信号，振铃指示，低有效； UART1 的 RS485 发送和接收控制引脚； 通用 GPIO6，用于 I/O 口输入或输出； 上电期间，如果该引脚检测到外接了下拉电阻，则切换为 TNOW1 功能。

注：引脚类型缩写解释：

USB = USB 信号引脚；

I = 信号输入；

O = 信号输出；



$P$  = 电源或地;  
 $NC$  = 空脚;  
 $FT$  = 耐受 5V 电压。

## 5、功能说明

### 5.1 一般说明

CH346 芯片支持 5V 或者 3.3V 电源电压, 当使用 5V 工作电压 (大于 4.0V) 时, VDD5 引脚输入外部 5V 电源 (例如 USB 总线电源), 由内部电源调节器于 VDD33 引脚产生 3.3V 电源, 用于 USB 收发器, VDD33 引脚应该外接 0.1 $\mu$ F 并联至少 3.3 $\mu$ F 的对地电容。当使用 3.3V 或更低工作电压 (小于 3.6V) 时, VDD33 引脚应该与 VDD5 引脚相连接, 同时输入外部的 3.3V 电源, VDD33 引脚仍需外接 0.1 $\mu$ F 并联至少 1 $\mu$ F 的对地电容。

VIO 是除 USB 信号外 I/O 的独立供电引脚, 需外接 0.1 $\mu$ F 或 1 $\mu$ F 对地电容, 支持 3.3V、2.5V、1.8V 和 1.2V 电源电压, VIO 应该与外部并口主机、SPI 主机、串口外设使用同一电源供电。

CH346 芯片内置了电源上电复位电路, 芯片正常工作时需要外部向 XI 引脚提供 24MHz 时钟信号, 时钟信号可通过 CH346 内置的反相器通过晶体稳频振荡产生。外围电路需要在 XI 和 X0 引脚之间连接一个 24MHz 晶体, 芯片内置的晶体负载电容为 12pF, 如果晶体负载电容超过 20pF, 则可根据晶体需求选择合适的负载电容。

CH346 芯片推荐使用外部晶体, 如果芯片工作环境相对比较理想, 且串口波特率误差能满足使用需求时, 可以不焊接外置晶体, 将 XI 引脚连接 GND 后, 芯片自动切换使用内置时钟。

CH346 芯片内置了 USB 总线所需要的所有外围电路, 包括内嵌 USB 控制器和 USB-PHY、USB 信号线的串联匹配电阻、Device 设备所需的 1.5K 上拉电阻等。UD+和 UD-引脚可以直接连接 PC 或其它 USB 主机, 如果为了芯片安全而串接保险电阻或者电感或者 ESD 保护器件, 那么交直流等效串联电阻应该在 5 $\Omega$ 之内。

### 5.2 工作模式说明

CH346 芯片在上电期间, 通过检测 CFG0 (PIN16) 引脚的电平状态配置芯片的工作模式, 如果检测到低电平则配置芯片工作在模式 2, 否则配置芯片工作在模式 0/1, 模式 0 和模式 1 则由驱动动态切换控制。

各工作模式及对应的转接功能如下表。

表 5-1 工作模式及功能说明

工作模式	模式选择	芯片功能	默认的产品 ID
工作模式 0	1、CFG0 引脚检测为低电平则配置为模式 2; 否则配置为模式 0/1; 2、EEPROM 配置 (掉电保存); 3、厂商驱动动态切换控制;	USB 转被动并口+1 个异步串口	55EBH
工作模式 1		USB 转被动 SPI 接口+1 个异步串口	
工作模式 2		USB 转高速双串口	55ECH

工作模式 0: USB 转被动并口+1 个异步串口, 被动并口接收并口主机发送的数据包并通过 USB 上传计算机或其它 USB 主机, 同时接收 USB 下传的数据包并通过被动并口由并口主机读取, 相当于 USB FIFO。该模式下, 还提供了 1 个 3 线异步串口, 适用于同时使用被动并口及串口的应用需求。

工作模式 1: USB 转被动 SPI 接口+1 个异步串口, 被动 SPI 接口接收 SPI 主机发送的数据包并通过 USB 上传计算机或其它 USB 主机, 同时接收 USB 下传的数据包并通过被动 SPI 接口由 SPI 主机读取。该模式下, 还提供了 1 个全功能异步串口, 适用于同时使用被动 SPI 接口及串口的应用需求。串口 0 支持全 MODEM 信号, 支持硬件流控, 支持 RS485 串口收发使能控制。

工作模式 2: USB 转高速双串口, UART0/1 均支持 RS485 串口收发使能控制、硬件流控和常用的 MODEM 联络信号, 适用于同时使用两个全功能串口的应用需求。

5.3 被动并口

CH346 芯片的被动并口工作在从机模式，包括 4 根控制线 (CS、RD、WR、A0)、8 根数据线 (D0-D7) 和 2 根数据流控线 (RDNE、WRNF)，支持数据流控功能，RDNE 和 WRNF 是可选的。通过计算机 API 配合，可实现外部并口和 USB 接口之间的双向数据高速透传，提供计算机端的 USB 高速驱动和 USB 转被动并口函数库。

图 5-1 被动并口时序图

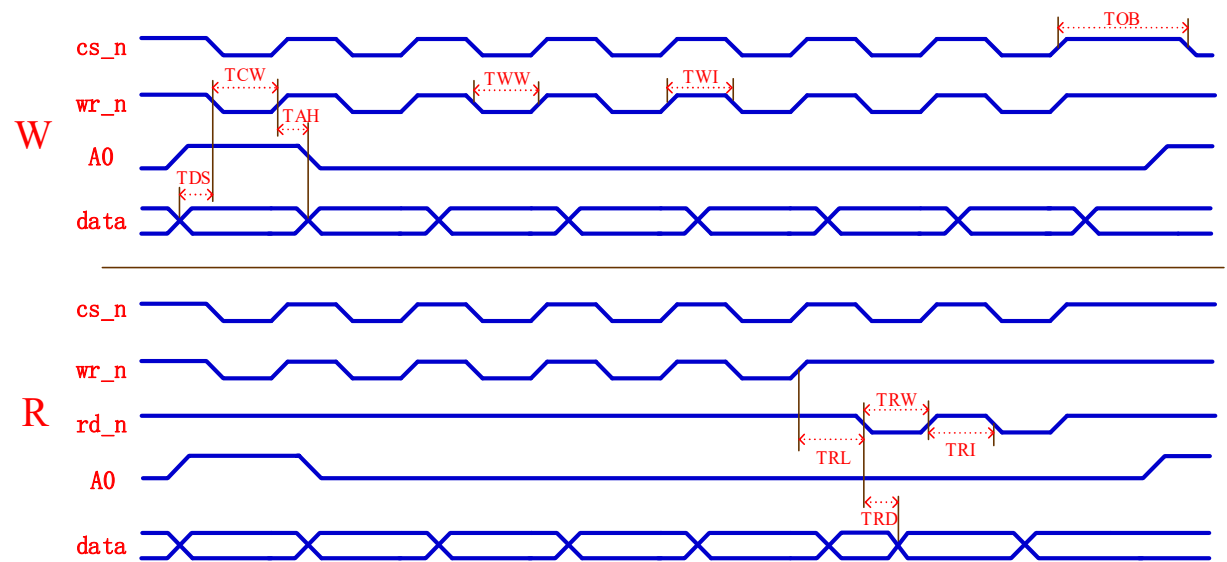


表 5-2 被动并口特性

名称	参数说明	最小值	典型值	最大值	单位
TOB	2次读或写操作时间间隔	100			nS
TCW	发送命令时WR低电平宽度	100			nS
TWW	写操作WR低电平宽度	10			nS
TWI	写操作末WR无效宽度	10			nS
TAH	写地址或数据保持时间	2			nS
TDS	写地址或数据建立时间	2			nS
TRW	读操作RD低电平宽度	20			nS
TRL	写操作之后读操作等待时间	400			nS
TRI	读数据末RD无效宽度	10			nS
TRD	读操作数据的延迟时间			10	nS

表 5-3 被动并口内部接收和发送 FIFO 缓冲区结构

偏移地址	缓冲区说明	长度说明
0x0000-0x0003	第 1 包数据有效长度	4 字节
0x0004-0x0203	第 1 包数据缓冲区	512 字节
0x0204-0x0207	第 2 包数据有效长度	4 字节
0x0208-0x0407	第 2 包数据缓冲区	512 字节
0x0408-0x040B	第 3 包数据有效长度	4 字节
0x040C-0x060B	第 3 包数据缓冲区	512 字节
...	...	...
0x1E3C-0x1E3F	第 16 包数据有效长度	4 字节



0x1E40—0x203F	第 16 包数据缓冲区	512 字节
---------------	-------------	--------

外部并口向 CH346 芯片发送数据(写模式)流程:

步骤 1: 检测 CH346 芯片的 WRNF 引脚状态, 如果检测到低电平表示 CH346 芯片的接收 FIFO 还有空间可以接收一包数据(最大为 512 字节), 则执行步骤 2; 如果检测到高电平表示 CH346 芯片的接收 FIFO 已满, 则重新执行步骤 1;

步骤 2: 外部并口拉高 A0 引脚, 向芯片写入 1 个字节命令码 0xAA(写模式), 再拉低 A0 引脚;

步骤 3: 外部并口向芯片写入 2 个字节本次数据长度对应的起始偏移地址 X(低字节在前),  $X=516*N$ , N 为包序号, 有效范围为: 0-15;

步骤 4: 外部并口向芯片写入 2 个字节本次要写入的数据长度 L+4(低字节在前), L 最大为 512;

步骤 5: 外部并口向芯片写入 4 个字节本次要写入的实际数据长度 L(低字节在前);

步骤 6: 外部并口向芯片写入 L 个字节本次要写入的后续数据;

步骤 7: 如果外部并口需要继续发送数据, 则重新执行步骤 1, 下一次的偏移地址值为当前偏移地址加 516;

外部并口从 CH346 芯片读取数据(读模式)流程(方式 1):

步骤 1: 检测 CH346 芯片的 RDNE 引脚状态, 如果检测到低电平表示 CH346 芯片的发送 FIFO 中有数据可以读取, 则执行步骤 2; 如果检测到高电平, 表示 CH346 芯片的发送 FIFO 无数据可以读取, 则重新执行步骤 1;

步骤 2: 外部并口拉高 A0 引脚, 向芯片写入 1 个字节命令码 0xBB(读模式), 再拉低 A0 引脚;

步骤 3: 外部并口向芯片写入 2 个字节本次数据长度对应的起始偏移地址 X(低字节在前),  $X=516*N$ , N 为包序号, 有效范围为: 0-15;

步骤 4: 外部并口向芯片写入 2 个字节本次要读取的数据长度(低字节在前), 固定为 0x0004;

步骤 5: 外部并口从芯片读取 4 个字节数据长度 L(低字节在前), L 为本包数据的有效数据长度, 最大值为 512;

步骤 6: 外部并口拉高 A0 引脚, 向芯片写入 1 个字节命令码 0xBB(读模式), 再拉低 A0 引脚;

步骤 7: 外部并口向芯片写入 2 个字节本次要读取的数据对应的起始偏移地址 X+4(低字节在前);

步骤 8: 外部并口向芯片写入 2 个字节步骤 5 读取到的数据长度 L(低字节在前);

步骤 9: 外部并口从芯片读取 L 个字节的后续数据;

步骤 10: 如果外部并口需要继续读取数据, 则重新执行步骤 1, 下一次的偏移地址值为当前偏移地址加 516;

外部并口从 CH346 芯片读取数据(读模式)流程(方式 2):

步骤 1: 检测 CH346 芯片的 RDNE 引脚状态, 如果检测到低电平表示 CH346 芯片的发送 FIFO 中有数据可以读取, 则执行步骤 2; 如果检测到高电平, 表示 CH346 芯片的发送 FIFO 无数据可以读取, 则重新执行步骤 1;

步骤 2: 外部并口拉高 A0 引脚, 向芯片写入 1 个字节命令码 0xBB(读模式), 再拉低 A0 引脚;

步骤 3: 外部并口向芯片写入 2 个字节本次数据长度对应的起始偏移地址 X(低字节在前),  $X=516*N$ , N 为包序号, 有效范围为: 0-15;

步骤 4: 外部并口向芯片写入 2 个字节本次要读取的数据长度(低字节在前); 固定为 0x0204;

步骤 5: 外部并口从芯片读取 4 个字节数据长度 L(低字节在前), L 为本包数据的有效数据长度, 最大值为 512;

步骤 6: 外部并口从芯片读取 512 个字节的后续数据, 有效数据长度由 L 确定;

步骤 7: 如果外部并口需要继续读取数据, 则重新执行步骤 1, 下一次的偏移地址值为当前偏移地址加 516;

## 5.4 被动 SPI 接口

CH346 芯片的被动 SPI 接口工作在从机模式, 包括 4 根信号线(SCS、SCK/CLK、MOSI/SDI、MISO/SDO)和 3 根数据控制线(SPI\_RDNE、SPI\_WRNF、SPI\_RWS), 支持数据流控功能, SPI\_RDNE 和 SPI\_WRNF 是

可选的。通过计算机 API 配合，可实现外部 SPI 接口和 USB 接口之间的双向数据高速透传，CH346 接收外部 SPI 主机发送的数据并通过 USB 接口上传，同时接收 USB 接口下传的数据并通知外部 SPI 主机来读取，提供计算机端的 USB 高速驱动和 USB 转被动 SPI 接口函数库。

SPI 接口主机需要工作在模式 0 或模式 3。

SPI 接口主机向 CH346 芯片发送数据(写模式)流程:

步骤 1: SPI 接口主机控制 SPI\_RWS 引脚输出高电平，通知 CH346 芯片需要切换为写模式；

步骤 2: 检测 CH346 芯片的 SPI\_WRNF 引脚状态，如果检测到低电平表示 CH346 芯片的接收 FIFO 还有空间可以接收一包(最大为 512 字节)数据，则执行步骤 3；如果检测到高电平表示 CH346 芯片的接收 FIFO 已满，则重新执行步骤 2；

步骤 3: SPI 接口主机执行数据发送操作，向 CH346 芯片最多发送 512 字节数据，并等待数据发送结束；

步骤 4: 如果 SPI 主机需要继续发送数据，则重新执行步骤 2；

SPI 接口主机从 CH346 芯片读取数据(读模式)流程:

步骤 1: SPI 接口主机控制 SPI\_RWS 引脚输出低电平，通知 CH346 芯片需要切换为读模式，等待 SPI\_WRNF 引脚拉高或者等待至少 6us (仅从写模式切换到读模式时需要等待)；

步骤 2: 检测 CH346 芯片的 SPI\_RDNE 引脚状态，如果检测到低电平表示 CH346 芯片的发送 FIFO 中有数据可以读取，则执行步骤 3；如果检测到高电平，表示 CH346 芯片的发送 FIFO 无数据可以读取，则重新执行步骤 2；

步骤 3: SPI 接口主机执行数据读取操作，根据应用方式不同有以下 3 种进行读取方式：

方式 1: 拉低 SCS，从 CH346 芯片读取 4 个字节的本包数据长度 L (低字节在前，最大为 512 字节)，再根据实际长度读取 L 个字节的数据，拉高 SCS；

方式 2: 拉低 SCS，从 CH346 芯片读取 4 个字节的本包数据长度 L (低字节在前，最大为 512 字节)，拉高 SCS；再次拉低 SCS，读取 4+L 个字节的数据，拉高 SCS；

方式 3: 拉低 SCS，从 CH346 芯片读取固定 516 个字节的数据，前 4 个字节为本包数据长度，后 512 字节为实际数据，拉高 SCS；

步骤 4: 如果 SPI 主机需要继续读取，重新执行步骤 2。

图 5-2 被动 SPI 接口时序图 (MODE0)

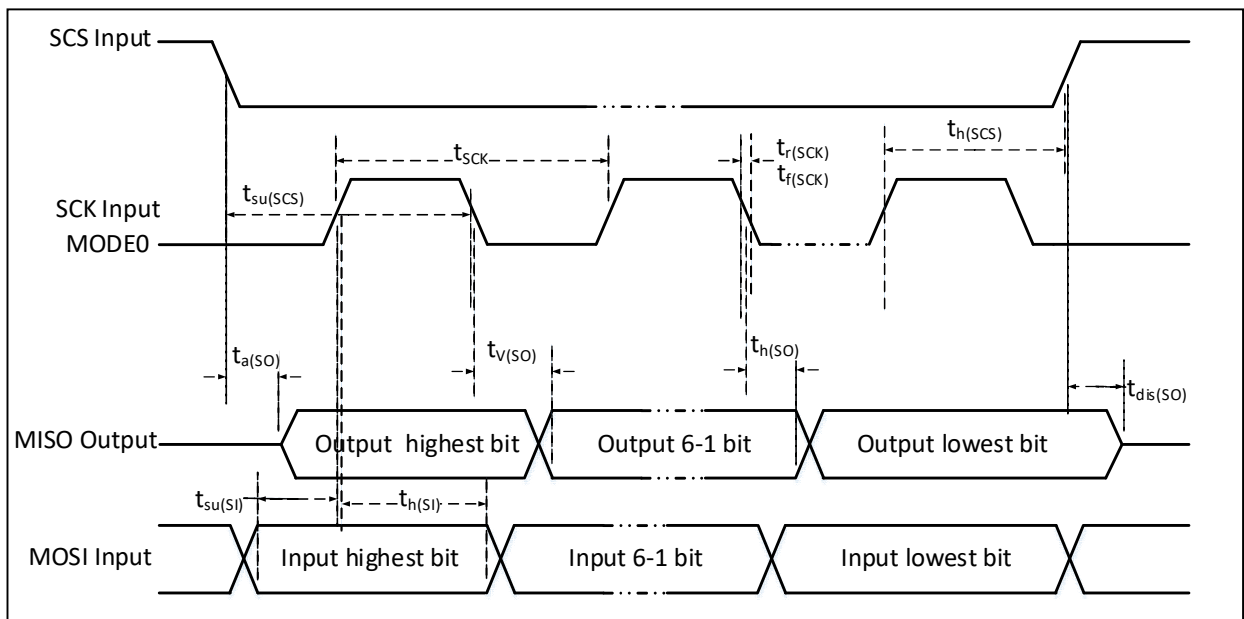


图 5-3 被动 SPI 接口时序图 (MODE3)

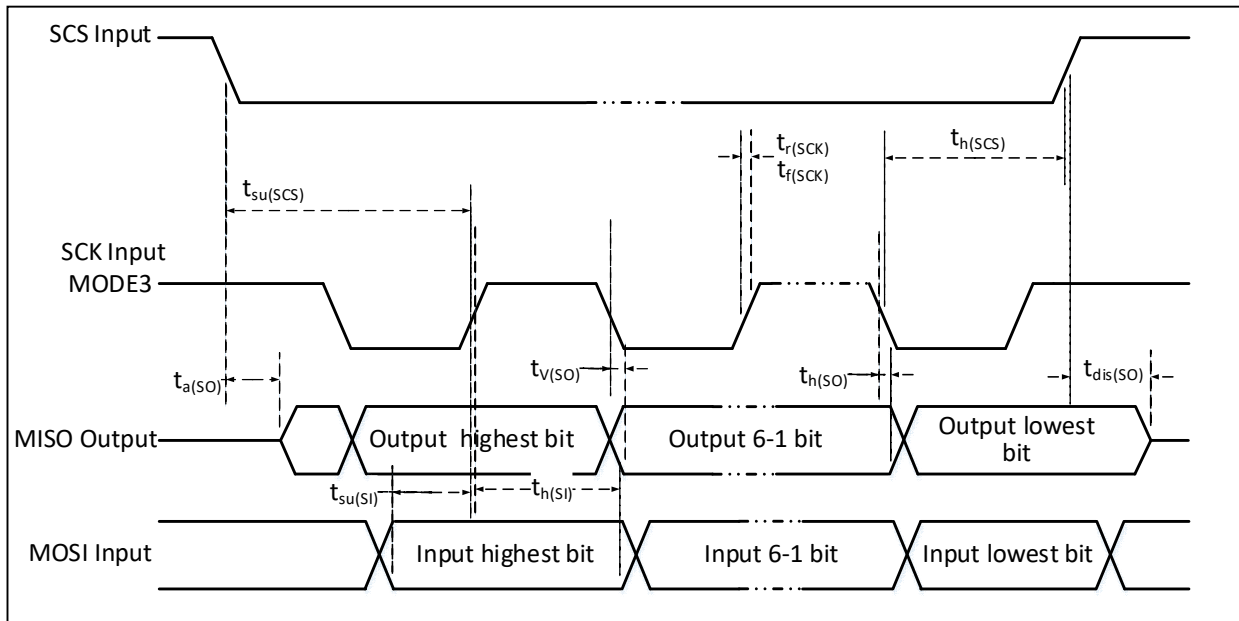


表 5-4 被动 SPI 接口特性

名称	参数说明	最小值	最大值	单位
$f_{SCK}/t_{SCK}$	SPI 时钟频率		40	MHz
$t_{r(SCK)}^{(1)}/t_{f(SCK)}^{(1)}$	SPI 时钟上升和下降时间		11	ns
$t_{SU(SCS)}$	SCS 建立时间	33		ns
$t_{H(SCS)}$	SCS 保持时间	33		ns
$t_{SU(SI)}$	数据输入建立时间	4		ns
$t_{H(SI)}$	数据输入保持时间	2		ns
$t_{a(SO)}$	数据输出访问时间	0	17	ns
$t_{dis(SO)}$	数据输出禁止时间	0	10	ns
$t_{V(SO)}$	数据输出有效时间		15	ns
$t_{h(SO)}$	数据输出保持时间	5		ns

注 1: 负载电容:  $C=30pF$ 。

## 5.5 串口说明

CH346 芯片的工作模式 0 提供 1 组 3 线异步串口，串口仅包括 TXD 和 RXD。工作模式 1 提供 1 组异步串口，工作模式 2 提供 2 组异步串口，每组串口包括 TXD、RXD、RI、DSR、DCD、DTR、CTS 和 RTS 等引脚，可实现 3 线串口、5 线串口或 9 线串口通信。

异步串口方式下 CH346 芯片的引脚包括：数据传输引脚、MODEM 联络信号引脚和辅助引脚。

数据传输引脚包括：TXD0、RXD0、TXD1 和 RXD1。串口输入空闲时，RXD<sub>x</sub> 为高电平，串口输出空闲时，TXD<sub>x</sub> 为高电平。

MODEM 联络信号引脚包括：CTS0、RTS0、DTR0、DCD0、RI0、DSR0、CTS1、RTS1、DTR1、DCD1、RI1、DSR1。

辅助引脚包括：TNOW0、TNOW1、ACT、SUSP、CFG0、TX\_S/CFG1 和 RX\_S/CFG2 等。TNOW<sub>x</sub> 为对应串口的 RS485 发送和接收控制引脚，该引脚和 RI<sub>x</sub> 引脚复用，默认为 RI<sub>x</sub> 功能，上电期间如果检测到 CFG1 引脚外接了下拉电阻，则所有 RI<sub>x</sub>/TNOW<sub>x</sub> 引脚均配置成 TNOW 功能，否则通过检测 RI<sub>x</sub>/TNOW<sub>x</sub> 引脚在上电期间的电平配置 RI 功能和 TNOW 功能，高电平使能 RI 功能，低电平使能 TNOW 功能。另外，也可以通过 EEPROM 配置选择 RI 功能和 TNOW 功能。ACT 为 USB 设备配置完成状态输出引脚，上

电默认输出高电平，USB 主机对 CH346 芯片进行 USB 配置后则输出低电平。SUSP 引脚为 USB 挂起状态输出，低电平有效，正常工作状态输出高电平，挂起后输出低电平。CFG1 为功能配置引脚 1，上电期间如果检测到该引脚外接了下拉电阻，则全部串口自动使能硬件流控功能。TX\_S 为芯片串口发送数据状态输出引脚，任意串口有数据正在发送时，TX\_S 引脚输出周期为 200ms 的脉冲电平。RX\_S 为芯片串口接收数据状态输出引脚，任意串口有数据正在接收时，RX\_S 引脚输出周期为 200ms 的脉冲电平。

CH346 芯片的各个串口内置了独立的收发缓冲区，支持单工、半双工或者全双工异步串行通讯。

UART0/1 的串行数据包括 1 个低电平起始位、5/6/7/8 个数据位、1 个/2 个高电平停止位，支持无校验/奇校验/偶校验/标志位/空白位。支持常用通讯波特率：110、300、600、900、1200、2400、3600、4800、9600、14400、19200、28800、38400、57600、76800、115200、128000、153600、230400、460800、921600、1M、1.5M、2M、2.5M、3M、4M、5M、6M、7.5M、10M、12M、15M 等。工作模式 0 和 1 下，为提升被动并口和被动 SPI 接口性能，UART0 不支持 2M、4M、6M、10M 和 12M 波特率。工作模式 2 下，多个串口同时使用且波特率不相同，如果波特率超过 1M，则可能存在互斥的问题，先打开的串口波特率选择权优先。比如 UART0 以 5M 波特率打开，则其它串口无法选择 4M 或 6M 等波特率。

超过 1M 波特率使用时，多个串口可以同时使用的波特率表如下：

表 5-5 多串口同时使用的波特率

序号	多串口可同时使用的波特率
1	1M、1.5M、2.5M、3M、5M、7.5M、15M
2	1M、1.5M、2M、3M、4M、6M、12M
3	1M、2M、2.5M、5M、10M

CH346 芯片的 2 个异步串口(工作模式 0 除外)均支持 CTSx 和 RTSx 硬件自动流控制，可以通过 CFG1 引脚配置同时启用或同时不启用(默认)，也可以通过 VCP 厂商驱动程序进行独立配置。如果启用，那么仅在检测到 CTSx 引脚输入有效(低电平有效)时串口才继续发送下一包数据，否则暂停串口发送；当接收缓冲区空时，串口会自动有效 RTSx 引脚(低电平有效)，直到接收缓冲区的数据较满时，串口才自动无效 RTSx 引脚，并在缓冲区空时再次有效 RTSx 引脚。使用硬件自动速率控制，可以将己方的 CTSx 引脚接到对方的 RTSx 引脚，并将己方的 RTSx 引脚送到对方的 CTSx 引脚。

CH346 串口接收信号的允许波特率误差不大于 2%，串口发送信号的波特率误差小于 1.5%。

在计算机端的 Windows 操作系统下，CH346 支持系统自带的 CDC 类驱动程序，也可安装高速率的 VCP 厂商驱动程序，能够仿真标准串口，所以绝大部分串口应用程序完全兼容，通常无需任何修改。在 VCP 厂商驱动程序模式下，支持最多 12 路 GPIO 输入输出控制功能。

CH346 可以用于升级原串口外围设备，或者通过 USB 总线为计算机增加额外串口。通过外加电平转换器件，可以进一步提供 RS232、RS485、RS422 等接口。

## 5.6 芯片参数配置

在较大批量应用时，CH346 的厂商识别码 VID 和产品识别码 PID 以及产品信息可以定制。

在少量应用时，可以使用内置的 EEPROM 进行参数配置。用户安装 VCP 厂商驱动程序后，可以通过芯片厂家提供的配置软件 CH34xSerCfg.exe，灵活配置芯片的厂商识别码 VID、产品识别码 PID、最大电流值、BCD 版本号、厂商信息和产品信息字符串描述符等参数。

## 6、参数

### 6.1 绝对最大值（临界或者超过绝对最大值将可能导致芯片工作不正常甚至损坏）

名称	参数说明	最小值	最大值	单位
$T_A$	工作时的环境温度	-40	85	$^{\circ}\text{C}$
$T_S$	储存时的环境温度	-40	105	$^{\circ}\text{C}$
$V_{DD5}$	工作电源电压 ( $V_{DD5}$ )	-0.4	5.5	V
$V_{DD33}$	工作电源电压 ( $V_{DD33}$ )	-0.4	4.0	V
$V_{IO}$	I/O 电源电压 ( $V_{IO}$ )	-0.4	4.0	V
$V_{USB}$	USB 信号引脚上的电压	-0.4	$V_{DD33}+0.4$	V
$V_{I05V}$	耐受 5V 的 I/O 引脚上的电压	-0.4	5.5	V
$V_{I03V}$	非耐受 5V 的 I/O 引脚上的电压	-0.4	$V_{IO}+0.4$	V

### 6.2 电气参数（测试条件： $T_A = 25^{\circ}\text{C}$ ， $V_{DD33} = 3.3\text{V}$ ，不含 USB 引脚）

名称	参数说明	最小值	典型值	最大值	单位
$V_{DD5}$	电源电压 ( $V_{DD5}$ 引脚供电, GND 引脚接地)	4.0	5.0	5.25	V
$V_{DD33}$	电源电压 ( $V_{DD33}$ 引脚供电, GND 引脚接地)	3.0	3.3	3.6	V
$V_{IO}$	I/O 引脚供电电压	1.1	3.3	3.6	V
$I_{CC}$	芯片正常工作时的电源电流	20	30	40	mA
$I_{SLP}$	USB 挂起时的电源电流	200	300	450	$\mu\text{A}$
$V_{IL}$	低电平输入电压	$V_{IO} = 3.3\text{V}$	0	0.8	V
		$V_{IO} = 1.8\text{V}$	0	0.6	V
		$V_{IO} = 1.2\text{V}$	0	0.4	V
$V_{IH}$	高电平输入电压	$V_{IO} = 3.3\text{V}$	2.2	$V_{IO}$	V
		$V_{IO} = 1.8\text{V}$	1.2	$V_{IO}$	V
		$V_{IO} = 1.2\text{V}$	0.8	$V_{IO}$	V
$V_{IH5}$	耐受 5V 的引脚的高电平输入电压	$V_{IO} = 3.3\text{V}$	2.2	5	V
		$V_{IO} = 1.8\text{V}$	1.2	5	V
		$V_{IO} = 1.2\text{V}$	0.8	5	V
$V_{OL}$	输出低电压, 单个引脚吸入 5mA 电流		0.4	0.6	V
$V_{OH}$	输出高电平, 单个引脚输出 5mA 电流	$V_{IO}-0.6$	$V_{IO}-0.4$		V
$R_{PU}$	内置上拉的等效电阻	30	40	55	$\text{K}\Omega$
$V_{POR}/V_{PDR}$	$V_{DD33}$ 上电/掉电复位的阈值电压	2.55	2.7	2.85	V
$V_{ESD}$	ESD 静电耐受电压 (HBM 人体模型)		6		KV

### 6.3 时序参数（测试条件： $T_A = 25^{\circ}\text{C}$ ， $V_{DD33} = 3.3\text{V}$ ）

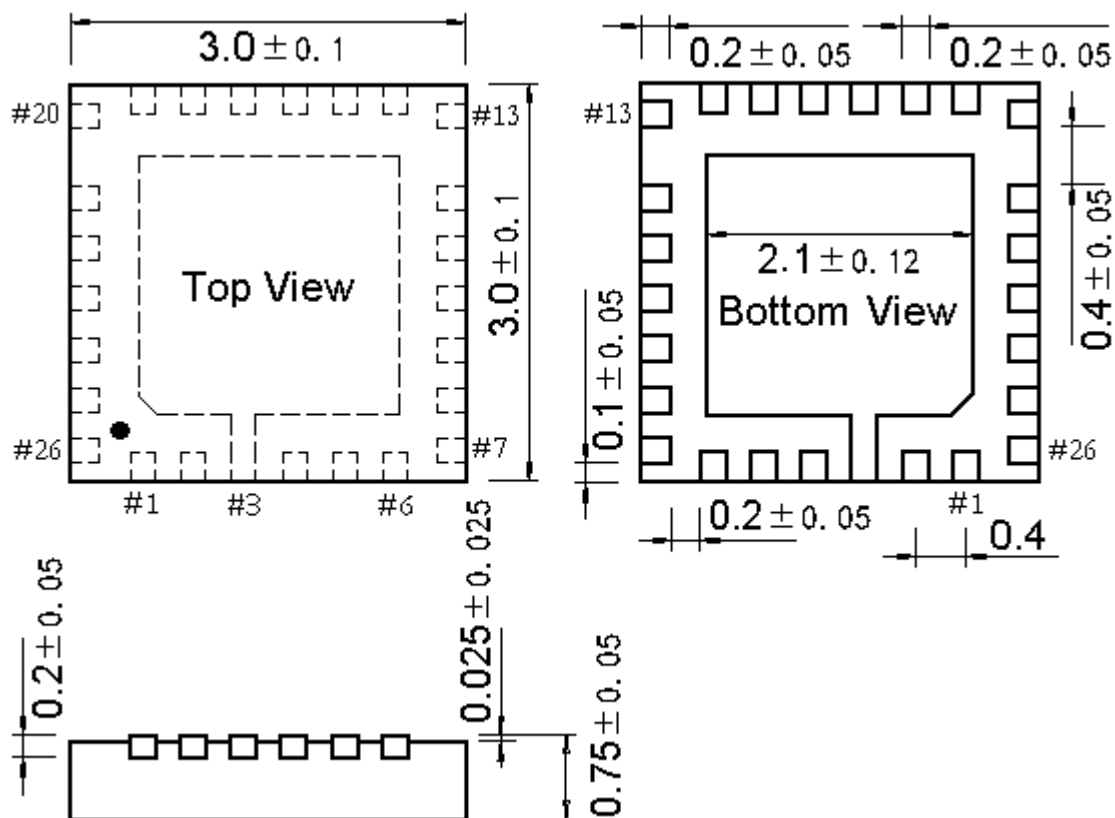
名称	参数说明	最小值	典型值	最大值	单位
FD	内部时钟的误差 (同比影响波特率)	$T_A = 0^{\circ}\text{C} \sim 70^{\circ}\text{C}$		1.7	%
		$T_A = -40^{\circ}\text{C} \sim 85^{\circ}\text{C}$		2.2	%
$T_{RSTD}$	电源上电或外部复位输入后的复位延时	15	30	45	ms
$T_{SUSP}$	检测 USB 自动挂起时间	3	5	9	ms
$T_{WAKE}$	芯片睡眠后唤醒完成时间	0.3	0.5	4	ms

## 7、封装信息

说明：尺寸标注的单位是 mm（毫米）。

引脚中心间距是标称值，没有误差，除此之外的尺寸误差不大于  $\pm 0.2\text{mm}$ 。

### 7.1 QFN26C3 封装

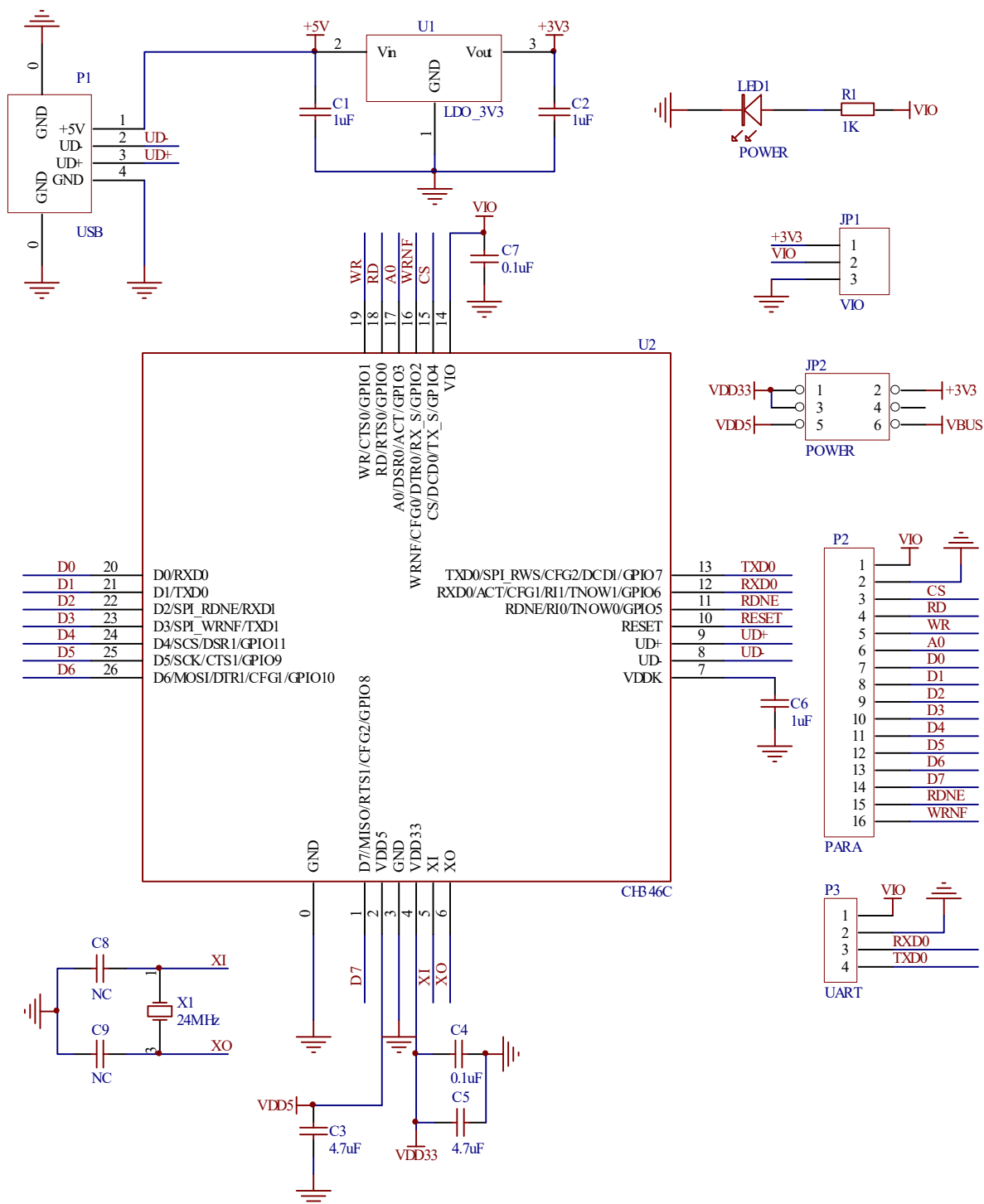




## 8、应用

## 8.1 USB 转被动并口

图 8-1 高速 USB 转被动并口参考电路图



上图 8-1 是由 CH346 芯片实现的高速 USB 转被动并口的参考电路图。

P1 是 USB 端口，USB 总线包括一对 5V 电源线和一对数据信号线，通常，+5V 电源线是红色，接地线是黑色，D+信号线是绿色，D-信号线是白色。USB 总线提供的电源电流可以达到 500mA。

P2 为被动并口连接引脚，包括 4 根控制线 (CS、RD、WR、A0)、8 根数据线 (D0-D7) 和 2 根数据流

控线 (RDNE、WRNF)。CH346 是并口从机，对方 MCU/FPGA 应该是并口主机，与 CH346 芯片的 V10 使用同一电源。建议控制并口连线长度或在 RD/WR 等控制信号之间加地线间隔，避免信号串扰。

P3 为可选的串口连接引脚，包括 TXD0 和 RXD0。

CH346 芯片支持 5V 或 3.3V 电源电压，每个电源引脚应外接电源退耦电容，如图中 C3、C4、C5、C6 和 C7 即为电源退耦电容。电源电压为 5V 时，建议增加 TVS 等 5.5V 过压保护器件。

JP3 为芯片工作电源选择跳线，芯片需要工作在 5V 时，短接第 5 脚和第 6 脚，无需 U1 芯片；芯片需要工作在 3.3V 时，短接第 1 脚和第 2 脚，短接第 3 脚和第 5 脚。

建议为 USB 信号线增加 ESD 保护器件，ESD 芯片寄生电容需小于 2pF，例如 CH412K，其 VDD33 应接 3.3V。

在设计印刷线路板 PCB 时，需要注意：退耦电容 C3、C4、C5、C6 和 C7 尽量靠近 CH346 相连的电源引脚；USB 口的 D+ 和 D- 信号线按高速 USB 规范贴近平行布线，保证特性阻抗，尽量在两侧提供地线或者覆铜，减少来自外界的信号干扰。

## 8.2 USB 转被动 SPI 接口及串口

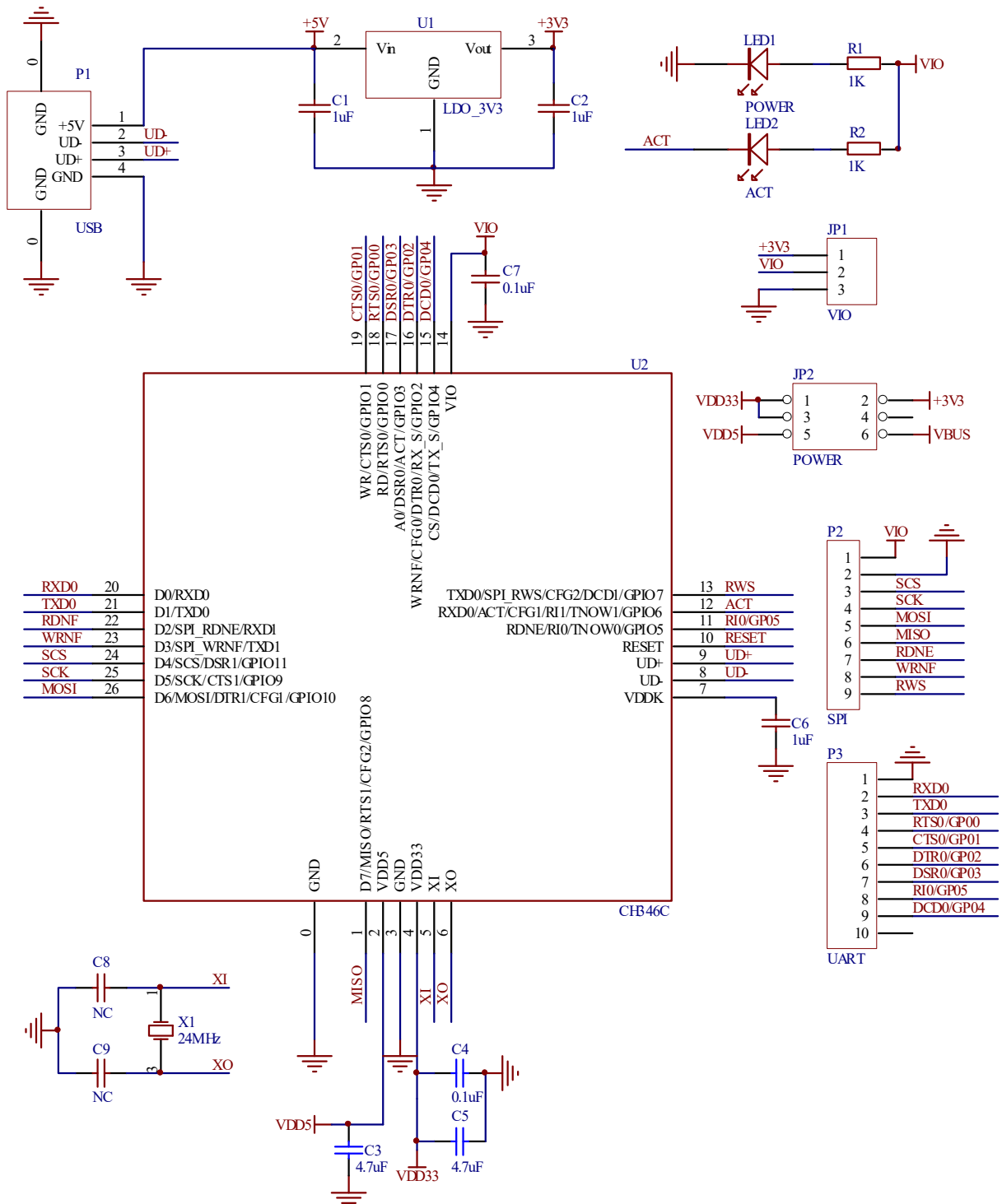
下图 8-2 是由 CH346 芯片实现的高速 USB 转被动 SPI 接口及串口的参考电路图。

P1 是 USB 端口。

P2 为被动 SPI 接口连接引脚，包括 4 根信号线 (SCS、SCK/CLK、MOSI/SDI、MISO/SDO) 和 3 根数据控制线 (SPI\_RDNE、SPI\_WRNF、SPI\_RWS)。CH346 是 slave 模式 SPI，对方 MCU/FPGA 应该是 master 模式 SPI，与 CH346 芯片的 VIO 使用同一电源。建议控制连线长度，避免信号串扰。

P3 为串口的 TTL 连接引脚，包括 GND、RXD0、TXD0、RTS0、CTS0、DTR0、DSR0、RI0 和 DCD0 等引脚。可以外加电平转换器件，实现 TTL 转 RS232、RS485、RS422 等信号转换。

图 8-2 高速 USB 转被动 SPI 接口及串口参考电路图



### 8.3 USB 转双串口

下图 8-3 是由 CH346 芯片实现的高速 USB 转双串口的参考电路图。

P1 是 USB 端口。

P2 为串口 0 的 TTL 连接引脚，包括 GND、RXD0、TXD0、RTS0、CTS0、DTR0、DSR0、RI0 和 DCD0 等引脚。

P3 为串口 1 的 TTL 连接引脚，包括 GND、RXD1、TXD1、RTS1、CTS1、DTR1、DSR1、RI1 和 DCD1 等引脚。可以外加电平转换器件，实现 TTL 转 RS232、RS485、RS422 等信号转换。

图 8-3 高速 USB 转双串口参考电路图

